

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-068502
(43)Date of publication of application : 03.03.2000

(51)Int.CI. H01L 29/78

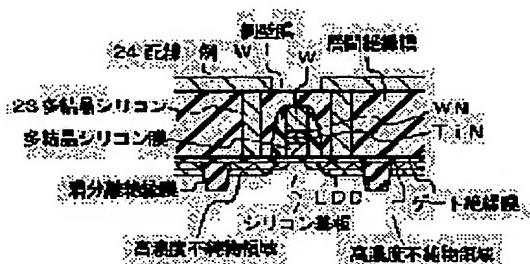
(21)Application number : 10-240671 (71)Applicant : NEC CORP
(22)Date of filing : 26.08.1998 (72)Inventor : MATSUKI TAKEO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a gate electrode of good heat resistance and low resistance by forming a polycrystalline silicon film, a TiN film, a WN film, and a W film in this order.

SOLUTION: When applied to a DRAM, for example, a contact hole is opened at a specified position of an inter-layer insulating film by using a resist mask and a dry-etching technology for removing an inter-layer film material. A polycrystalline silicon 23 or W/TiN/Ti is etch-backed for film-forming to fill the contact hole. A lamination film of the polycrystalline silicon 23 or a W single layer film, etc., is formed and worked to a desired wiring layout with a resist mask and dry-etching. Here, a W lamination structure is preferred for connection to a transistor of a peripheral circuit of the DRAM. A WN and a TiN are formed in separate processes, for the base material to be WN. Here, since the crystal particle size of W is larger than when TiN is a base material, resistance is reduced.



LEGAL STATUS

[Date of request for examination] 26.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3264324

[Date of registration] 28.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-68502

(P2000-68502A)

(43)公開日 平成12年3月3日(2000.3.3)

(51)Int.Cl.
H 01 L 29/78

識別記号

F I
H 01 L 29/78

テマコード(参考)
3 0 1 G 5 F 0 4 0

審査請求 有 請求項の数27 O.L (全 10 頁)

(21)出願番号 特願平10-240671

(22)出願日 平成10年8月26日(1998.8.26)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 松木 武雄

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100102864

弁理士 工藤 実 (外1名)

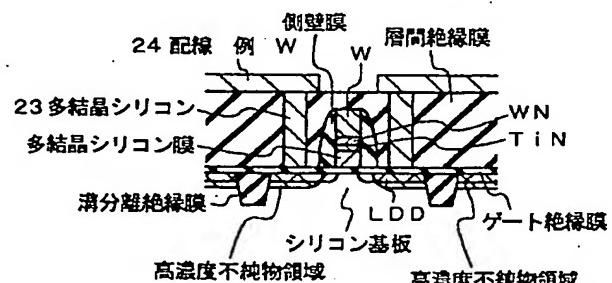
Fターム(参考) 5F040 DA01 DC01 EA08 EC02 EC04
EC06 EC07 EC13 EF02 EF11
EH01 EH02 EH03 EJ03 EJ08
EK05 FA03 FA05 FA07 FA17
FA19 FB02 FB04 FC00 FC19

(54)【発明の名称】 半導体装置の製造方法および半導体装置

(57)【要約】

【課題】 耐熱性が良く、且つ抵抗の低いゲート電極を有する半導体装置の製造方法を提供する。

【解決手段】 半導体基板11上にゲート絶縁膜13を形成するステップと、前記半導体基板上に前記ゲート絶縁膜を介してゲート電極18を形成するステップとを備え、前記ゲート電極を形成するステップは、多結晶シリコン膜14を形成するステップと、前記多結晶シリコン膜の上にTiN膜15を形成するステップと、前記TiN膜の上にWN膜16を形成するステップと、前記WN膜の上にW膜17を形成するステップとを備えている。



【特許請求の範囲】

- 【請求項1】 半導体基板上にゲート絶縁膜を形成するステップと、前記半導体基板上に前記ゲート絶縁膜を介してゲート電極を形成するステップとを備え、前記ゲート電極を形成するステップは、多結晶シリコン膜を形成するステップと、前記多結晶シリコン膜の上にTiN膜を形成するステップと、前記TiN膜の上にWN膜を形成するステップと、前記WN膜の上にW膜を形成するステップとを備えてなる半導体装置の製造方法。
- 【請求項2】 請求項1記載の半導体装置の製造方法において、前記TiN膜を形成するステップは、反応性スパッタリング法により行う半導体装置の製造方法。
- 【請求項3】 請求項1または2に記載の半導体装置の製造方法において、前記TiN膜を形成するステップは、前記TiN膜の膜厚を5～20nmに形成する半導体装置の製造方法。
- 【請求項4】 請求項1から3のいずれかに記載の半導体装置の製造方法において、前記WN膜を形成するステップは、前記WN膜の膜厚を5～20nmに形成する半導体装置の製造方法。
- 【請求項5】 請求項1から4のいずれかに記載の半導体装置の製造方法において、前記WN膜を形成するステップは、フッ素とタンクステンとの化合物を原料ガスとして用いたCVD法を行い、前記CVD法により前記WN膜を形成した後に、前記WN膜に含まれるフッ素を除去するステップを備えた半導体装置の製造方法。
- 【請求項6】 請求項5記載の半導体装置の製造方法において、前記WN膜に含まれるフッ素を除去するステップは、窒素雰囲気中での低温加熱処理により行う半導体装置の製造方法。
- 【請求項7】 請求項1から6のいずれかに記載の半導体装置の製造方法において、前記W膜を形成するステップは、前記W膜の膜厚を20～500nmに形成する半導体装置の製造方法。
- 【請求項8】 請求項1から7のいずれかに記載の半導体装置の製造方法において、前記W膜を形成するステップは、スパッタリング法で形成する半導体装置の製造方法。
- 【請求項9】 請求項1から7のいずれかに記載の半導体装置の製造方法において、

- 前記W膜を形成するステップは、フッ素とタンクステンとの化合物を原料ガスとして用いたCVD法により行い、前記CVD法により前記W膜を形成した後に、500～700°Cで、窒素雰囲気または不活性ガス中で熱処理を施すステップを備えた半導体装置の製造方法。
- 【請求項10】 半導体基板上にゲート絶縁膜を形成するステップと、前記ゲート絶縁膜の上に多結晶シリコン膜を形成するステップと、
- 10 前記多結晶シリコン膜の上にシリサイド層を形成するステップと、前記シリサイド層を形成した後に、前記シリサイド層の上にバリアメタル層を形成するステップと、前記バリアメタル層の上に高融点金属層を形成するステップとを備えた半導体装置の製造方法。
- 【請求項11】 請求項10記載の半導体装置の製造方法において、前記シリサイド層を形成するステップは、
- 20 TiSi_x膜を形成する半導体装置の製造方法。
- 【請求項12】 請求項10または11に記載の半導体装置の製造方法において、前記バリアメタル層を形成するステップは、TiN膜を形成する半導体装置の製造方法。
- 【請求項13】 請求項10から12のいずれかに記載の半導体装置の製造方法において、前記高融点金属層を形成するステップは、タンクステン膜、モリブデン膜およびイリジウム膜のうちのいずれかを形成する半導体装置の製造方法。
- 30 【請求項14】 半導体基板上にゲート絶縁膜を形成するステップと、前記ゲート絶縁膜の上に多結晶シリコン膜を形成するステップと、前記多結晶シリコン膜の上にTi膜を形成するステップと、前記Ti膜に熱処理を施してTiSi_x膜を形成するステップと、前記TiSi_x膜の上にTiN膜を形成するステップと、
- 40 前記TiN膜の上にW膜を形成するステップとを備えた半導体装置の製造方法。
- 【請求項15】 請求項14記載の半導体装置の製造方法において、前記Ti膜を形成するステップは、スパッタリング法またはCVD法により前記Ti膜の膜厚を5～50nmに形成する半導体装置の製造方法。
- 【請求項16】 請求項14または15に記載の半導体装置の製造方法において、前記Ti膜に熱処理を施すステップは、
- 50 真空中またはAr雰囲気中で行う半導体装置の製造方

法。

【請求項17】 請求項14または16に記載の半導体装置の製造方法において、

前記T_i膜を形成するステップは、前記T_i膜の膜厚を30～50nmに形成し、

前記T_i膜に熱処理を施すステップは、前記T_iS_i_x膜の膜厚が30～40nmとなるように熱処理する半導体装置の製造方法。

【請求項18】 請求項16記載の半導体装置の製造方法において、

前記T_i膜に熱処理を施すステップは、

650℃の熱処理を行う半導体装置の製造方法。

【請求項19】 請求項14から18のいずれかに記載の半導体装置の製造方法において、

前記T_iN膜を形成するステップは、

前記T_iN膜の膜厚を5～20nmに形成する半導体装置の製造方法。

【請求項20】 半導体基板上にゲート絶縁膜を形成するステップと、

前記ゲート絶縁膜の上に多結晶シリコン膜を形成するステップと、

前記多結晶シリコン膜の上にT_i膜を形成するステップと、

前記T_i膜に窒素雰囲気中で熱処理を施して第1のT_iN膜およびT_iS_i₂膜を形成するステップと、

前記第1のT_iN膜を選択的に除去するステップと、

前記第1のT_iN膜を選択的に除去した後に前記T_iS_i₂膜の上に第2のT_iN膜を形成するステップと、

前記第2のT_iN膜の上にW膜を形成するステップとを備えた半導体装置の製造方法。

【請求項21】 請求項20記載の半導体装置の製造方法において、

前記T_i膜に窒素雰囲気中で熱処理を施すステップは、前記T_i膜に600～750℃の加熱処理を施す半導体装置の製造方法。

【請求項22】 請求項20または21に記載の半導体装置の製造方法において、

前記第1のT_iN膜を選択的に除去するステップは、アンモニアと過酸化水素水との水溶液を用いる半導体装置の製造方法。

【請求項23】 半導体基板上にゲート絶縁膜を形成するステップと、

前記ゲート酸化膜の上に多結晶シリコン膜を形成するステップと、

前記多結晶シリコン膜の上にT_i膜を形成するステップと、

前記T_i膜に酸素が混入した窒素雰囲気中で熱処理を施して酸化または窒化されたチタン膜、T_iS_i₂膜を形成するステップと、

前記酸化または窒化されたチタン膜を選択的に除去する

ステップと、

前記酸化または窒化されたチタン膜を選択的に除去した後に前記T_iS_i₂膜の上にT_iN膜を形成するステップと、

前記T_iN膜の上にW膜を形成するステップとを備えた半導体装置の製造方法。

【請求項24】 請求項23記載の半導体装置の製造方法において、

前記T_i膜に酸素が混入した窒素雰囲気中で熱処理を施すステップは、

前記T_i膜に、600～750℃の加熱処理を施す半導体装置の製造方法。

【請求項25】 請求項23または24に記載の半導体装置の製造方法において、

前記酸化または窒化されたチタン膜を選択的に除去するステップは、

アンモニアと過酸化水素水との水溶液を用いる半導体装置の製造方法。

【請求項26】 半導体基板に形成されたソース／ドレイン領域と、

前記半導体基板上にゲート絶縁膜を介して設けられたゲート電極とを備え、

前記ゲート電極は、

多結晶シリコン膜と、

前記多結晶シリコン膜の上に形成されたT_iN膜と、

前記T_iN膜の上に形成されたWN膜と、

前記WN膜の上に形成されたW膜とを備えてなる半導体装置。

【請求項27】 請求項26記載の半導体装置において、

前記W膜の結晶粒径は、前記W膜の下地が前記T_iN膜である場合の該W膜の結晶粒径に比べて、大きい半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、耐熱性が高く、且つ抵抗の低いゲート電極を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】LSI特に、DRAMにおいては、そのメモリセルトランジスタのゲート抵抗の低減の要求が高い。なぜなら、ロジック系LSIに比べ、セルトランジスタのゲート電極は、長い距離を信号線としてレイアウトされているからである。

【0003】そのゲート抵抗を低減する方法の例として、特公平6-87501号公報に、Wと多結晶シリコン積層構造において耐熱性を向上させる方法が示されている。

【0004】前記公報に記載された技術について以下簡

単に説明する。従来より、W/n+ - ポリSi構造で高温熱処理を行った場合のシリサイド反応(WSix)による高抵抗化を防止するためのバリアメタルとして、WとポリSiとの間にTiN膜を形成することが知られている。その場合、ポリSi膜上にTiを形成し、N₂またはNH₃雰囲気下で加熱すると、TiN膜が形成されると同時にその下層としてTiSi_x膜が形成され、その後にWを堆積した後の高温熱処理において、TiSi_x膜が凝縮分解し、その結果TiN膜中にピンホールが形成されて、WとポリSiとの反応(WSix)が起こることが指摘されている。

【0005】そこで、TiSi_x膜の凝縮分解の影響を少なくするために、TiSi_xの膜厚を薄くすべく、Ti膜を8nmまで薄くすると、上記耐熱性の問題は解消する。しかしながら、その場合に8nmのTi膜を安定的に形成することが困難であることを課題として前記公報では次の技術が提供されている。

【0006】すなわち、前記公報には、図18に示すように、シリコン酸化膜上に形成された、不純物が導入された多結晶シリコン上に、前記Ti膜に代えてTiW膜を膜厚8~30nmになるように堆積し、図19に示すように、このTiW膜をNH₃でアニールして、TiNおよびWN膜を生成し、このTiNおよびWN膜上にW膜を形成する。半導体装置のゲート電極の製造方法が記載されている。

【0007】

【発明が解決しようとする課題】この方法によれば、Wの下地には、WNまたはTiNが形成される。Wは、TiN上に成膜された場合、WN上に成膜された場合よりも、その抵抗が高い。つまり、Wの下地としてTiNに接している領域があると、その領域のWの抵抗が増大し、ゲート電極全体の抵抗増大につながる。

【0008】本発明は、上記の事情に鑑みてなされたもので、耐熱性が良く、且つ抵抗の低いゲート電極を有する半導体装置の製造方法および半導体装置を提供することを目的としている。

【0009】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成するステップと、前記半導体基板上に前記ゲート絶縁膜を介してゲート電極を形成するステップとを備え、前記ゲート電極を形成するステップは、多結晶シリコン膜を形成するステップと、前記多結晶シリコン膜の上にTiN膜を形成するステップと、前記TiN膜の上にWN膜を形成するステップと、前記WN膜の上にW膜を形成するステップとを備えている。

【0010】本発明の半導体装置の製造方法において、前記TiN膜を形成するステップは、反応性スパッタリング法により行う。

【0011】

て、前記TiN膜を形成するステップでは、前記TiN膜の膜厚を5~20nmに形成する。

【0012】本発明の半導体装置の製造方法において、前記WN膜を形成するステップでは、前記WN膜の膜厚を5~20nmに形成する。

【0013】本発明の半導体装置の製造方法において、前記WN膜を形成するステップは、フッ素とタンクスチンとの化合物を原料ガスとして用いたCVD法で行い、前記CVD法により前記WN膜を形成した後に、前記WN膜に含まれるフッ素を除去するステップを備えている。

【0014】本発明の半導体装置の製造方法において、前記WN膜に含まれるフッ素を除去するステップは、窒素雰囲気中での低温加熱処理により行うものである。

【0015】本発明の半導体装置の製造方法において、前記W膜を形成するステップでは、前記W膜の膜厚を20~500nmに形成する。

【0016】本発明の半導体装置の製造方法において、前記W膜を形成するステップは、スパッタリング法で形成するものである。

【0017】本発明の半導体装置の製造方法において、前記W膜を形成するステップは、フッ素とタンクスチンとの化合物を原料ガスとして用いたCVD法により行い、前記CVD法により前記W膜を形成した後に、500~700°Cで、窒素雰囲気または不活性ガス中で熱処理を施すステップを備えている。

【0018】本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成するステップと、前記ゲート絶縁膜の上に多結晶シリコン膜を形成するステップと、前記多結晶シリコン膜の上にシリサイド層を形成するステップと、前記シリサイド層を形成した後に、前記シリサイド層の上にバリアメタル層を形成するステップと、前記バリアメタル層の上に高融点金属層を形成するステップとを備えている。

【0019】本発明の製造方法において、前記シリサイド層を形成するステップでは、TiSi_x膜を形成する。

【0020】本発明の半導体装置の製造方法において、前記バリアメタル層を形成するステップでは、TiN膜を形成する。

【0021】本発明の半導体装置の製造方法において、前記高融点金属層を形成するステップは、タンクスチン膜、モリブデン膜およびイリジウム膜のうちのいずれかを形成する。

【0022】本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成するステップと、前記ゲート絶縁膜の上に多結晶シリコン膜を形成するステップと、前記多結晶シリコン膜の上にTi膜を形成するステップと、前記Ti膜に熱処理を施してTiSi_x膜を形成するステップと、前記TiSi_x膜の上にTiN膜を

形成するステップと、前記TiN膜の上にW膜を形成するステップとを備えている。

【0023】本発明の半導体装置の製造方法において、前記Ti膜を形成するステップでは、スパッタリング法またはCVD法により前記Ti膜の膜厚を5～50nmに形成する。

【0024】本発明の半導体装置の製造方法において、前記Ti膜に熱処理を施すステップは、真空中またはAr雰囲気中で行う。

【0025】本発明の半導体装置の製造方法において、前記Ti膜を形成するステップは、前記Ti膜の膜厚を30～50nmに形成し、前記Ti膜に熱処理を施すステップは、前記TiSi_x膜の膜厚が30～40nmとなるように熱処理する。

【0026】本発明の半導体装置の製造方法において、前記Ti膜に熱処理を施すステップでは、650℃の熱処理を行う。

【0027】本発明の半導体装置の製造方法において、前記TiN膜を形成するステップでは、前記TiN膜の膜厚を5～20nmに形成する。

【0028】本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成するステップと、前記ゲート絶縁膜の上に多結晶シリコン膜を形成するステップと、前記多結晶シリコン膜の上にTi膜を形成するステップと、前記Ti膜に窒素雰囲気中で熱処理を施して第1のTiN膜およびTiSi₂膜を形成するステップと、前記第1のTiN膜を選択的に除去するステップと、前記第1のTiN膜を選択的に除去した後に前記TiSi₂膜の上に第2のTiN膜を形成するステップと、前記第2のTiN膜の上にW膜を形成するステップとを備えている。

【0029】本発明の半導体装置の製造方法において、前記Ti膜に窒素雰囲気中で熱処理を施すステップでは、前記Ti膜に600～750℃の加熱処理を施す。

【0030】本発明の半導体装置の製造方法において、前記第1のTiN膜を選択的に除去するステップでは、アンモニアと過酸化水素水との水溶液を用いる。

【0031】本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成するステップと、前記ゲート酸化膜の上に多結晶シリコン膜を形成するステップと、前記多結晶シリコン膜の上にTi膜を形成するステップと、前記Ti膜に酸素が混入した窒素雰囲気中で熱処理を施して酸化または窒化されたチタン膜、TiSi₂膜を形成するステップと、前記酸化または窒化されたチタン膜を選択的に除去するステップと、前記酸化または窒化されたチタン膜を選択的に除去した後に前記TiSi₂膜の上にTiN膜を形成するステップと、前記TiN膜の上にW膜を形成するステップとを備えている。

【0032】本発明の半導体装置の製造方法において、前記Ti膜に酸素が混入した窒素雰囲気中で熱処理を施すステップでは、前記Ti膜に、600～750℃の加熱処理を施す。

【0033】本発明の半導体装置の製造方法において、前記第酸化または窒化されたチタン膜を選択的に除去するステップでは、アンモニアと過酸化水素水との水溶液を用いる。

【0034】本発明の半導体装置は、半導体基板に形成されたソース／ドレイン領域と、前記半導体基板上にゲート絶縁膜を介して設けられたゲート電極とを備え、前記ゲート電極は、多結晶シリコン膜と、前記多結晶シリコン膜の上に形成されたTiN膜と、前記TiN膜の上に形成されたWN膜と、前記WN膜の上に形成されたW膜とを備えている。

【0035】本発明の半導体装置において、前記W膜の結晶粒径は、前記W膜の下地が前記TiN膜である場合の該W膜の結晶粒径に比べて、大きい。

【0036】【発明の実施の形態】添付図面を参照して、本発明による半導体装置の製造方法の一実施形態を以下に説明する。

【0037】図1から図11を参照して、第1の実施形態について説明する。第1の実施形態は、シリコン半導体基板上のnチャネルMOSに、本発明のゲート構造を用いたものである。

【0038】図1に示すように、P型シリコン基板11の表面領域に半導体集積回路を構成するために従来採用されている方法で素子分離領域を形成する。例えば、LOCOS法（改良LOCOS法）や、溝分離法がある。ここでは、溝分離法により絶縁膜12を形成する。しきい値電圧制御の為に素子領域表面の不純物濃度を適当なものにする。例えば、ボロンをイオン注入する。

【0039】次いで、図2に示すように、ゲート酸化膜13を形成する。膜厚は、1～10nm程度とする。例えば、3nmとする。この膜厚は、求められる素子特性によるが、ゲート長（チャネル長）の減少に伴いしきい値電圧を制御しつつ、高い電流駆動能力を得るために、薄くする必要がある。形成方法は、熱酸化がよい。また、CVD法によることも可能である。

【0040】次に、図3に示すように、多結晶シリコン膜14を形成する。膜厚は、20～100nmとする。例えば、50nm。形成方法は、CVD法がよい。

【0041】この多結晶シリコン膜をn型にするには、(1) CVD法での多結晶シリコン膜の成膜時に、原料ガスにリンまたは砒素を含むガスを混入させて、成膜と同時にn型にする方法と、(2) 成膜後に、イオン注入または熱拡散によりn型不純物を導入する方法がある。

【0042】いずれの場合にも、その時の多結晶シリコン膜中のn型不純物濃度は、高い方が望ましく、例えば $1 \times 10^{19} \text{ cm}^{-3}$ 以上がよい。

【0043】同じ基板上に表面チャネル型pチャネルM

OSFETを形成する場合には、次の2種類の方法で、多結晶シリコンの伝導型を制御する。

【0044】(1) この多結晶シリコン成膜時に、n型半導体にするための不純物を導入し、多結晶シリコン膜をn型にする。この時、その濃度は前記の場合より小さくなる。レジストマスクを用いて、pチャネルMOSを形成する領域にボロン等のp型不純物をイオン注入する。

【0045】(2) まず、レジストマスクにより、nチャネルMOSFETを形成する領域にn型不純物をイオン注入で導入する。そのレジストマスクを除去後、別のレジストマスクを用いてpチャネルMOSFETを形成する領域にp型不純物をイオン注入により導入する。それ故、不純物濃度が高い方が望ましく、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上になるようとする。

【0046】次に、図4に示すように、TiN15をスパッタ法またはCVD法で、多結晶シリコン膜上に成膜する。特に、反応性スパッタを用いるとよい。膜厚は、5~20nmがよい。例えば、10nmとする。

【0047】次いで、図5に示すように、WN膜16をスパッタ法またはCVD法で成膜する。膜厚は、5~20nmがよい。例えば、10nmとする。WN膜16をCVD法で成膜した場合、成膜後、ファーネスまたはRTA(ランプアニール)で熱処理するのもよい。

【0048】ここで、上記CVD法では、フッ素とタンゲステンとの化合物を原料ガスに使用する場合が多い。その場合、成膜後膜中にフッ素が残留することがある。そのフッ素は、後の工程で熱処理があると、外方拡散し、WN膜16上の膜剥離の原因となることがある。そのため、WN膜16の成膜直後に熱処理でそのフッ素を予め除去するのがよい。この熱処理は、窒素雰囲気で、500°C程度の低温で、例えば30分間行うのがよい。

【0049】次に、図6に示すように、W膜17をスパッタ法またはCVD法で成膜する。膜厚は、50~200nmがよい。ここでも、W膜17をCVD法で成膜した場合、残留在するフッ素を除去するために熱処理することもよい。この熱処理は、窒素雰囲気、または不活性ガス中で、500~700°Cの温度で、30~10分行うのがよい。

【0050】次いで、図7に示すように、レジストマスクまたは、シリコン酸化膜、シリコン窒化膜などを材料としたマスクで、上記のW/WN/TiN/多結晶シリコン多層膜をエッチングして、素子領域上に選択的に残して、ゲート電極配線18とする。

【0051】次に、リンまたは砒素をイオン注入し、LDDまたは拡張ソース・ドレイン領域19を形成する。

【0052】その後、シリコン酸化膜またはシリコン窒化膜を20~200nm成膜する。例えば、100nmである。そして、異方性エッチングにより、シリコン酸化膜またはシリコン窒化膜をエッチバッくし、ゲート電

極配線の側面に側壁膜(サイドウォール)20を形成する(図8)。

【0053】次いで、図9に示すように、ソース・ドレインとなる高濃度n型不純物領域21を形成する。このときの不純物はイオン注入により導入し、窒素雰囲気での熱処理により活性化するのがよい。この熱処理は、次に述べる層間絶縁膜22の形成後でもよい。注入条件は、その基板の濃度が $1 \times 10^{19} \sim 20 \text{ cm}^{-3}$ になるようにする。熱処理温度は、500~950°Cがよい。

【0054】次に、図10に示すように、層間絶縁膜22を形成する。材料は、BPSG等のシリコン酸化膜がよい。膜厚は、300~700nm。例えば、500nmとする。成膜法は、CVD法がよい。

【0055】上記工程の以降は、従来用いられている方法で、配線形成をする(図11)。その一例として、DRAMに本実施形態を適用した場合について述べる。

【0056】前記層間絶縁膜22の所定位置に、レジストマスクおよびドライエッチング技術を用いて層間膜材料を除去してコントラクト孔を開口する。多結晶シリコン23またはW/TiN/Tiを成膜エッチバックしてコントラクト孔に埋め込む。

【0057】多結晶シリコン、多結晶シリコンとWSi₂との積層膜またはWSi₂、W単層膜等24を成膜し、レジストマスクおよびドライエッチングにより所望の配線レイアウトに加工する。この場合、例えば、メモリセル領域のビット線とセルトランジスタとの接続、容量素子との接続には、多結晶シリコンを用いるとよい。DRAMの周辺回路部のトランジスタとの接続には、W

30 積層構造がよい。

【0058】また、他の例として、ロジックLSIの配線としては、この層の配線をWや多結晶シリコンで形成し、その上層配線をAl、AlCu合金やCuにより構成するとよい。

【0059】第1の実施形態によれば、ゲート電極がW/TiN/多結晶シリコン積層構造に比べて、抵抗の低減化が実現できる。すなわち、上記のように、WN16とTiN15を独立した工程でそれぞれに成膜することで、W17の下地はWN16になる。この場合、W17の結晶粒径は、TiN15が下地である場合に比べ大きくなり、その結果、抵抗が低減される。

【0060】次に、図12から図17を参照して、第2の実施形態について説明する。

【0061】第2の実施形態もまた、シリコン半導体基板上のnチャネルMOSを対象とする。

【0062】多結晶シリコン膜31を成膜し、それに不純物を導入するまでは、前記第1の実施形態と同様に構成する(図1~3)。

【0063】図12に示すように、Ti32をスパッタ法またはCVD法で成膜する。膜厚は、5~50nm程

度とする。例えば、30~50 nmがよく、ここでは30 nmとする。

【0064】RTAなどの方法で窒素雰囲気で熱処理する。例えば30秒、600~750°Cの温度で行うのがよい。例えば、650°Cがよい。

【0065】この熱処理工程を真空中で行ってもよい。また、雰囲気をArにしてもよい。真空またはAr雰囲気中で熱処理する場合、例えば30秒、650°Cで行うのがよい。

【0066】図13に示すように、窒素雰囲気で熱処理した場合、多結晶シリコン31上に成膜されたTi32は、その表面の一部が窒素と化合して窒化チタン33になり、他の一部はシリコンと化合してTiSi₂34になる。ここで熱処理は、TiSi₂34の膜厚が30~40 nmとなるように熱処理するのが好ましい。また、窒素雰囲気中に酸素が混入していた場合には、一部が酸化チタン(TiO)になり、窒化チタン(TiN)と混ざり合ってTiON膜(酸化または窒化されたチタン膜、酸化窒化チタン)が形成される。

【0067】図14に示すように、上記の窒化チタン33、酸化窒化チタン(酸化または窒化されたチタン膜、TiON)は、アンモニアと過酸化水素水との水溶液を用いて選択的に除去する。

【0068】真空中または、Ar雰囲気中で熱処理を行った場合には、窒化チタン33、酸化窒化チタン(酸化または窒化されたチタン膜、TiON)は、形成されないか、ほとんど形成されない。その場合、形成されるTiSi₂34の膜厚は、窒素雰囲気中で熱処理する場合に比べて、厚くなる。

【0069】次に、図15に示すように、前記第1の実施形態と同様に、TiN35を成膜する。引き続き、図16に示すように、W膜36をその上に成膜する。条件は、前記第1の実施形態と同様である。

【0070】これ以降、前記第1の実施形態と同じ工程で、1層目の配線工程まで形成する(図17)。この1層目の配線工程以降、前記第1の実施形態と同様に、適用するLSIに応じて配線、容量素子などを組み合わせる。

【0071】この第2の実施形態によれば、Ti32の熱処理によって生成されるTiSi₂膜34の膜厚は、30~40 nmであり、十分な厚さの膜厚であることから、耐熱性が高い。

【0072】また、従来例(特公平6-87501号公報)に述べられるように、アンモニア(NH₃)雰囲気でTiを熱処理して、形成されるTiSi₂とTiNとの膜厚制御は困難であるが、上記第2の実施形態のようにTiN33を一度選択的に除去し、改めてTiN35を成膜することで、多結晶シリコン膜31に対する拡散防止膜であるTiN35の厚みが十分なものを選択できるようになる。

【0073】すなわち、多結晶シリコン(Si)31膜上のTi膜32を窒素またはアンモニア雰囲気で熱処理して、TiとSiおよびNとを反応させてTiN33/TiSi_x34構造を形成する場合、表面からの窒化反応と下地とのシリサイド化反応との競合で、それぞれの厚みが決定する。つまり、その熱処理条件である温度、時間によって決定する。

【0074】上記の特公平6-87501号公報では、薄いTiSi₂膜を形成する方法として、薄いTi膜を10予め成膜して、熱処理する方法が述べられている。この方法によれば、Ti膜厚が薄くなるに従い、熱処理時間を短く、温度を下げる方向に条件を設定する必要がある。しかしながら、それでは、十分な制御性を確保することができないという問題がある。これに対して、第2の実施形態によれば、TiN33を一度除去して再度成膜するため、TiSi₂34とTiN35のそれぞれの膜厚を自由に設定できる、という利点がある。

【0075】例えば、上記公報では、Si上上のTi膜を窒素またはアンモニア雰囲気で熱処理してTiN/Ti₂₀Si_xの2層膜を形成した後、Wの堆積時に950~1000°Cの熱処理を行うと、下層のTiSi_x膜の凝縮分解を招きTiN膜中にピンホールが形成されることが指摘されているが、第2の実施形態によれば、一度除去してから再度TiN35を成膜するときにピンホールが形成されない程度の膜厚のTiN35を自由に選択することが可能である。

【0076】また、Si膜31上のTi膜32をAr雰囲気で(窒素またはアンモニア雰囲気ではなく)熱処理してシリサイド化させた場合、TiSi_x34の膜厚30はシリサイド反応のみで決まる。このことから、考慮すべき要因が少なくなる点で、TiSi_x34の膜厚の制御を行い易いといえる。

【0077】

【発明の効果】本発明の半導体装置の製造方法によれば、半導体基板上にゲート絶縁膜を形成するステップと、前記半導体基板上に前記ゲート絶縁膜を介してゲート電極を形成するステップとを備え、前記ゲート電極を形成するステップは、多結晶シリコン膜を形成するステップと、前記多結晶シリコン膜の上にTiN膜を形成するステップと、前記TiN膜の上にWN膜を形成するステップと、前記WN膜の上にW膜を形成するステップとを備えているため、耐熱性が良く、且つ抵抗の低いゲート電極を有する半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の第1の実施の形態の一工程を示す側断面図である。

【図2】第1の実施の形態の他の工程を示す側断面図である。

【図3】第1の実施の形態のさらに他の工程を示す側断面図である。

13

【図4】第1の実施の形態のさらに他の工程を示す側断面図である。

【図5】第1の実施の形態のさらに他の工程を示す側断面図である。

【図6】第1の実施の形態のさらに他の工程を示す側断面図である。

【図7】第1の実施の形態のさらに他の工程を示す側断面図である。

【図8】第1の実施の形態のさらに他の工程を示す側断面図である。

【図9】第1の実施の形態のさらに他の工程を示す側断面図である。

【図10】第1の実施の形態のさらに他の工程を示す側断面図である。

【図11】第1の実施の形態のさらに他の工程を示す側断面図である。

【図12】本発明の半導体装置の製造方法の第2の実施の形態の一工程を示す側断面図である。

【図13】第2の実施の形態の他の工程を示す側断面図である。

【図14】第2の実施の形態のさらに他の工程を示す側断面図である。

【図15】第2の実施の形態のさらに他の工程を示す側断面図である。

【図16】第2の実施の形態のさらに他の工程を示す側断面図である。

【図17】本発明の半導体装置の製造方法の第1の実施

14

の形態の一工程を示す側断面図である。

【図18】従来の半導体装置の製造方法の一工程を示す側断面図である。

【図19】従来の半導体装置の製造方法の他の工程を示す側断面図である。

【符号の説明】

11 シリコン基板

12 溝分離絶縁膜

13 ゲート絶縁膜

10 14 多結晶シリコン膜

15 TiN

16 WN

17 W

18 ゲート電極

19 LDD

20 側壁膜

21 高濃度不純物領域

22 層間絶縁膜

23 多結晶シリコン

20 24 配線

31 多結晶シリコン膜

32 Ti

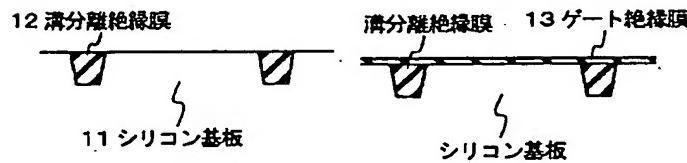
33 TiN (第1のTiN膜)

34 TiSi₂

35 TiN (第2のTiN膜)

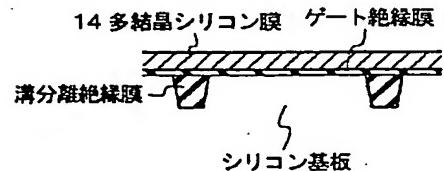
36 W

【図1】

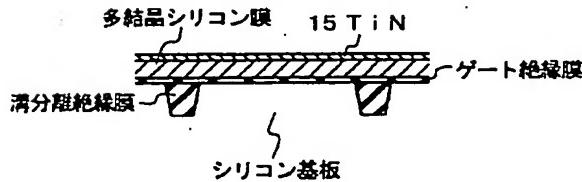


【図2】

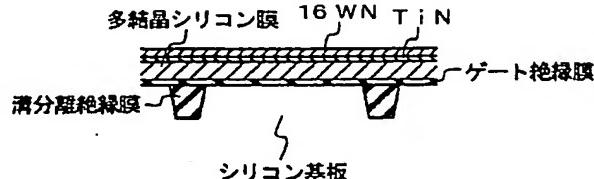
【図3】



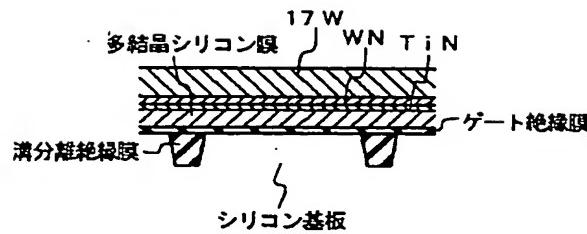
【図4】



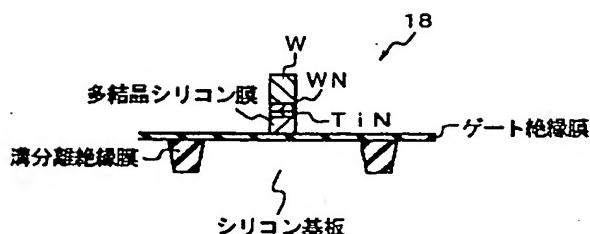
【図5】



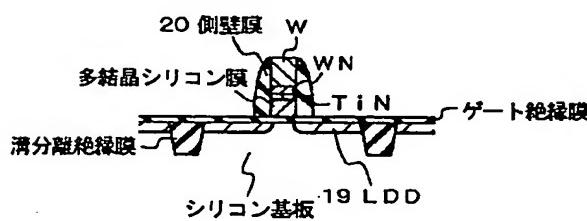
【図6】



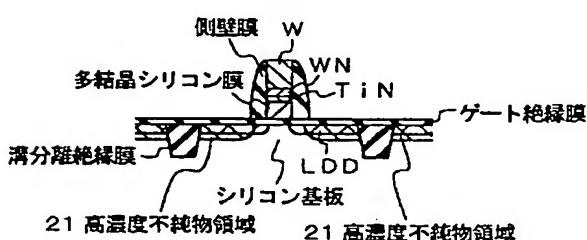
【図7】



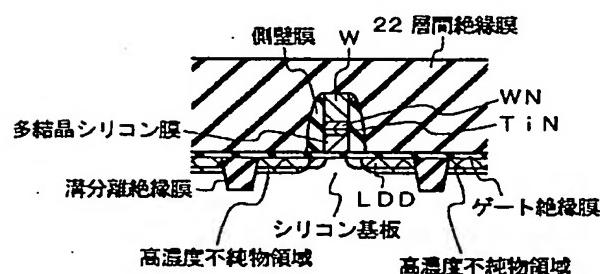
【図8】



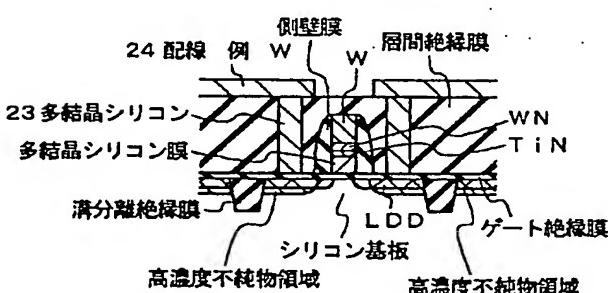
【図9】



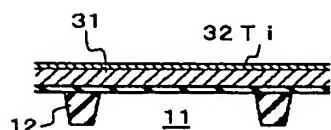
【図10】



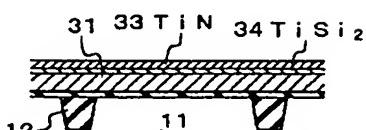
【図11】



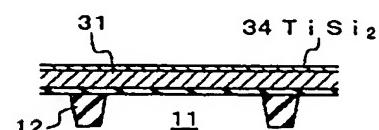
【図12】



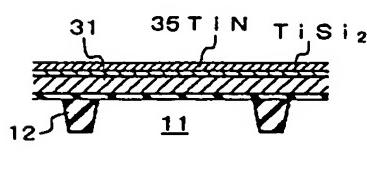
【図13】



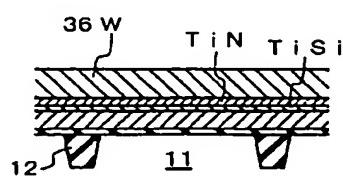
【図14】



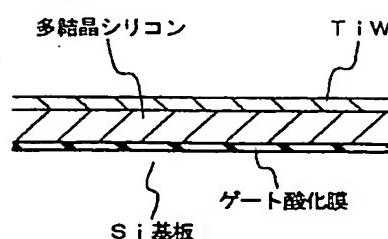
【図15】



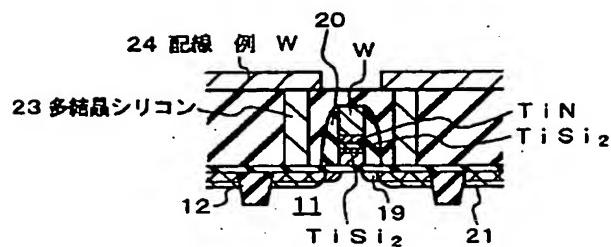
【図16】



【図18】



【図17】



【図19】

